

基于 PCIe 级联网口的农业监测视频高速传输系统研究

段瑞枫^{1,2} 陈艳³ 洪凯¹ 张就¹ 张海燕^{1,2}

(1. 北京林业大学信息学院, 北京 100083; 2. 国家林业草原林业智能信息处理工程技术研究中心, 北京 100083;

3. 北京航空航天大学软件学院, 北京 100191)

摘要: 农业监测智能化需要实时、高效、可靠的视频数据处理和传输方案,为了解决传统基于 CPU 和 GPU 架构的系统速率低、实时性差的问题,设计了基于 Zynq 架构的 PCIe 级联网口的高速传输系统。针对 PCIe 接口开发,在硬件层面,优化配置 XDMA IP 核参数,完成接口的数据收发引擎设计,并基于 MIG 7 IP 核优化配置了 DDR 缓存区。在软件层面,基于 PCIe 驱动,调度 VLC 软件完成视频数据读取,实现板卡 and 上位机之间数据的快速收发和流畅播放。针对网口协议栈的实现,利用 ARM 可编程特性,调度 LWIP 轻量级协议栈,完成 TCP 协议的开发,实现了网口的数据快速收发,避免了上位机 CPU 直接处理网络协议的时延和运算开销。此外调度 AXI 协议完成 PCIe 接口和网口的高速连通。在 Zynq MZ7030FA 平台上传输视频文件对系统进行速率和可靠性实测。结果表明:网口传输速率达 800 Mb/s,基本实现了千兆以太网;PCIe 接口的最高传输速率达 816 MB/s,逼近硬件 PCIe 2.0 x2 的最高速率,且整个系统在应用层上实现了可靠传输。本文的研究为农业监测视频传输应用提供了高效可靠的解决方案,且系统具有较好的扩展性和推广性。

关键词: 农业监测; 高速传输; 片上系统; 现场可编程门阵列; PCIe 高速接口; 千兆以太网

中图分类号: TN914.5; TN924 **文献标识码:** A **文章编号:** 1000-1298(2024)03-0203-10

OSID:



High-speed Transmission System for Agricultural Monitoring Video Based on PCIe Cascaded Network Interface

DUAN Ruifeng^{1,2} CHEN Yan³ HONG Kai¹ ZHANG Jiu¹ ZHANG Haiyan^{1,2}

(1. School of Information Science and Technology, Beijing Forestry University, Beijing 100083, China

2. Engineering Research Center for Forestry-oriented Intelligent Information Processing of

National Forestry and Grassland Administration, Beijing 100083, China

3. School of Software, Beihang University, Beijing 100191, China)

Abstract: The intelligence of agricultural monitoring requires real-time, efficient and reliable video data processing and transmission solutions. In order to solve the problems of low rate and poor real-time performance of traditional systems based on CPU and GPU architecture, a high-speed transmission system based on Zynq architecture with PCIe cascaded network interfaces was designed. For the development of PCIe interface, at the hardware level, XDMA IP core parameters were optimized, the interface data transceiver engine was designed, and DDR cache area was optimized based on MIG 7 IP core. At the software level, the PCIe driver was used to schedule VLC software for video data read operations, enabling fast data transmission and smooth playback between the board and the host computer. For the implementation of the network interface protocol stack, the ARM programmable feature was utilized to schedule the lightweight LWIP protocol stack and develop the TCP protocol, achieving fast data transmission for the network interface and avoiding the delay and computational overhead of the host computer CPU directly processing network protocols. Additionally, the AXI protocol was scheduled to establish high-speed connectivity between the PCIe interface and the network interface. Moreover, the rate and reliability of the system were also measured by transmitting video files on Zynq MZ7030FA platform. The results showed that the transmission rate of the network interface was 800 Mb/s, that was,

收稿日期: 2023-11-23 修回日期: 2023-12-24

基金项目: 北京市自然科学基金项目(L202003)和国家自然科学基金项目(31700479)

作者简介: 段瑞枫(1985—),女,副教授,主要从事林草业智能监测与高效数据传输、集成电路设计研究, E-mail: drffighting2008@163.com

通信作者: 张海燕(1976—),女,副教授,主要从事人工智能与图像识别研究, E-mail: zhyzml@bjfu.edu.cn

gigabit ethernet was basically realized; the maximum transmission rate of PCIe interface was 816 MB/s, which was close to the maximum speed of hardware PCIe 2.0 x2, and the whole system achieved reliable transmission at the application layer. The research result can provide an efficient and reliable solution for the application of agricultural monitoring video transmission, and the system had good scalability and generalization.

Key words: agricultural monitoring; high-speed transmission; Zynq; FPGA; PCIe high-speed interface; gigabit ethernet

0 引言

随着农业机械化智慧化的快速推进,大量的农业监测传感网络被部署于农田与良种基地中^[1-2],高通量数据的采集、处理和快速传输变得尤为重要。随着监测数据的激增,需要处理的富文本数据量,尤其是图像和视频,呈指数式增长。但目前广泛使用的传统中央处理器(Central processing unit, CPU)及图形处理器(Graphics processing unit, GPU)架构存在能耗高、性价比低的缺陷,因此将图像、视频数据的传输和处理任务从主机转移到现场可编程门阵列(Field programming gate array, FPGA)硬件板卡正逐渐成为研究热点。

目前,FPGA 处理平台在农业监测领域已有广泛的应用^[1-4]。SADDIK 等^[5]基于 FPGA SoC 架构开发了农田监测系统,利用 FPGA 相较于传统 GPU 处理器在相同高计算能力下有更低能耗的优点,以 107 f/s 实现了视频数据的实时处理。HUANG 等^[6]采用二值化神经网络识别目标作物,并提出基于 FPGA 的硬件/软件设计,帮助农业机器人智能决定是否需要将生物制剂应用于目标作物,提高了识别准确率,同时显著降低了所需资源和时间成本。TAMBURELLO 等^[7]设计了一种面向农业 4.0 的野生动物监测系统,在 FPGA 板卡上执行软件程序的计算,提高了操作速度,减少了决策延迟和功耗,能够实时监测野生动物的日常活动。牛鑫^[8]在 FPGA 平台上实现了自主导航系统,完成对农田播种机的准确追踪,利用 FPGA 高速处理的特点,成功地提高了播种机的导航精度和效率。谭城等^[9]设计了基于 FPGA + OpenMV 粮仓虫害监测系统,在 FPGA 平台上搭建了数据采集和传输模块,能够清晰、精准地监测害虫,且支持实时监测。OUKAIRA 等^[10]基于 FPGA 平台实现了农作物智能滴灌监测系统,使用 FPGA 控制土壤的温湿度采集,完成了智能传感器对不同环境的适配,实现了对作物根部实时准确的监测和水分控制。杨伟男等^[11]基于 FPGA 设计了有机肥撒施机控制系统,可有效监控撒肥作业情况,人机交互好,系统稳定性高。孙翔等^[12]利用 FPGA 硬件平台实现图像处理,能够自动实时采集

农作物株高。综上可知,FPGA 的快速处理和高速传输特性很好地满足了现代化农业监测的需求,具有较好的应用前景。

监测系统要想实现高速数据传输与快速处理,其传输接口的性能至关重要。PCIe (Peripheral component interconnect express)接口和 Gbit 以太网接口因具有高速传输能力,被广泛应用于数据采集和传输系统中。目前基于 FPGA 平台的高速传输接口的实现也已成为研究热点。

文献[13]运用 PCIe DMA (Direct memory access)技术,实现了上位机 CPU 通过 PCIe 接口和 FPGA 进行高速数据传输,但因为 PCIe 接口协议复杂,需要丰富的设计经验,因此目前基于 PCIe 接口的视频处理系统还没有得到广泛应用。文献[14]实现了基于 PCIe 高速通信接口的多路图像传输,但是针对不同应用场景需要重新设计特定的硬件架构,且开发难度大,开发效率低下,尚未形成通用框架。杨亚涛等^[15]基于 Xilinx 公司 Zynq 系列芯片,设计实现了多通道、高速率 PCIe 接口,利用 Zynq - 7000 系列芯片,在 PCIe2.0 硬核的基础上设计了 DMA 硬核控制器、设备驱动和应用程序,传输速率达 3.36 Gb/s。古月等^[16]基于 Zynq 设计了千兆以太网数据记录器,传输速率达 500 Mb/s。杨振雷等^[17]在 Zynq 的可编程逻辑(Programmable logic, PL)侧实现 UDP 模块、MAC 模块、PHY 模块,进而实现了基于用户数据报协议(User datagram protocol, UDP)的千兆以太网传输系统。以上传输系统的实现主要基于 PL 侧资源,Zynq 上的资源余量仍然没有得到充分利用,且 UDP 在 PL 端的实现相比于 PS (Processing system)较为复杂,不利于快速开发和功能更新。

将简单的逻辑功能在 FPGA 上实现,复杂的编程设计在 ARM(Advanced RISC machine)上实现,可以提升开发效率,因此 CPU + FPGA + ARM 的联合异构处理架构正成为图像、视频处理的重要解决方案之一^[18]。文献[19]采用 PCIe 高速接口协议,利用 FPGA 作为硬核,ARM 作为软核,充分结合二者优势,实现了硬件层面数据的高速并行流水化处理,降低开发难度。

本文将结合 FPGA 和 ARM 2 种不同的硬件技术,设计基于 Zynq 架构的 PCIe 级联可扩展网络端口农业监测数据高速传输系统。首先,借助 FPGA 可编程特性实现基于 PCIe 高速接口的传输通路,完成 CPU 和 FPGA 之间视频数据的快速传输;其次,借助 ARM 的可编程特性实现对视频数据网络包的封装解封以及链路层传输。二者结合使得传统网络包的数据处理从 CPU 转移到硬件板卡,能够充分满足农田数据采集对数据快速处理和高速传输的需求,以期显著降低开发周期和开发难度。

1 Zynq MZ7030FA 开发板

MZ7030FA 是一款高性能、低成本、资源丰富的集成开发板,拥有独立的核心板和底板,二者可以在一定程度上共用资源。开发板提供 ARM 和 FPGA 资源环境,支持多种数据存储、传输接口,可应用于 1~10 Gb/s 高速通信应用场景^[20](千兆/万兆光通信),同时拥有开源社区环境,可以提供灵活的应用解决方案^[21]。

图 1 为 Zynq MZ7030FA 开发板的功能结构图。该开发板的核心板为 Xilinx Kintex-7 Zynq XC7Z030-FFG676-2 FPGA,具有丰富的运算和存储资源,能进行复杂的数据处理,支持模块化设计和动态可重构配置,可以为视频处理应用提供快速计算和高效存储。板载 1 个 x2 PCIe Gen2 高速数据传输接口,支持连接其他有 PCIe 接口的设备,也可以将整个板卡作为 PCIe 设备运行在主机中;板载 2 个容量为 1 GB、带宽达 1 600 MHz 的 DDR3,支持大量视频和图像数据的读写;板载 3 路千兆以太网端口,支持高速可配置的网络通信。基于 PCIe 的高速数据通信接口可以为大量视频数据高速传输与处理提供有力支持^[22]。

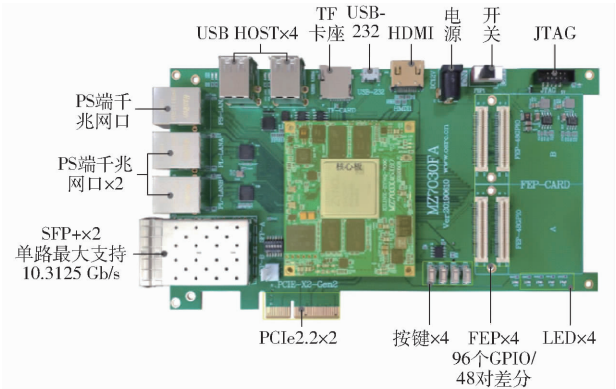


图 1 Zynq MZ7030FA 结构图

Fig. 1 Zynq MZ7030FA structure diagram

在视频和图像的处理中,需要实时、同步地进行海量数据的传输,对存储器的读取和写入有较高的

要求。MZ7030FA 开发板提供了大容量的存储资源和高速的 PCIe 接口,保证了系统实现的高效性。

2 系统结构与总体设计方案

2.1 系统整体硬件结构

该处理系统基于 MZ7030FA 开发板及 PCIe Switch 芯片实现。系统的总体硬件连接结构如图 2 所示,上位机的主板搭载了 PCIe 物理接口,可以连接 PCIe 设备,包括 PCIe Switch 芯片、PCIe 网卡等其他 IO 资源。PCIe Switch 芯片可以将主板上的一个 PCIe 接口扩展成多个 PCIe 接口,其上游连接 CPU,下游连接多个不同类型的 PCIe 设备,如本系统使用的 MZ7030FA 开发板。网络视频封装解封处理和 PCIe 数据传输程序由 Zynq 板卡实现,视频播放由 Shell 脚本程序调用视频局域网客户端 (Video LAN client, VLC) 播放器实现。

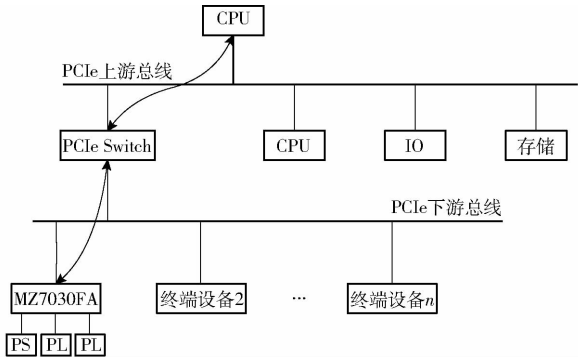


图 2 系统整体硬件结构图

Fig. 2 Overall hardware structure of system

系统的各部分可以实现无缝衔接,在 PCIe 接收千兆数据的同时实现视频播放器的同步播放。CPU 主板采用 Ubuntu 22.04 操作系统,预装载 Zynq 板卡、PCIe Switch 芯片驱动程序。系统上电前,下载硬件逻辑程序到开发板;系统上电后,操作系统启动并加载 PCIe 驱动程序,然后检测连接在 PCIe 总线上的终端设备,识别 MZ7030FA 开发板。一旦开启 PS 端网络数据源的发送,即可进行基于内存地址的直接访问,同时调用 VLC 播放视频数据。

2.2 数据快速处理子系统设计方案

图 3 给出数据快速处理子系统设计方案,PS 与 PL 的数据交互可以基于高速通道实现。按照数据单向流动的方向从左到右依次介绍,以太网模块接收到来自 PS 端的网口数据后,由 ARM 侧的 C 程序读取,执行数据包解封装操作,得到净荷部分数据并暂存到 DDR 中。Zynq 板卡内部 ARM 与 FPGA 之间通过 DDR3 进行数据交互,之后通过控制模块读取载荷传递到 PCIe,交由上位机直接读取后播放。

2.3 数据高速传输子系统设计方案

PCIe 接口与主机间高速数据传输结构如图 4

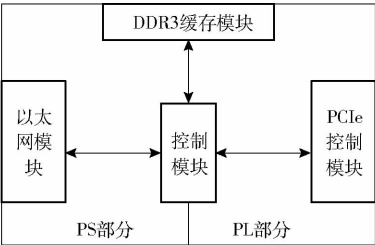


图 3 数据快速处理子系统设计方案

Fig. 3 Design scheme of data rapid processing sub-system

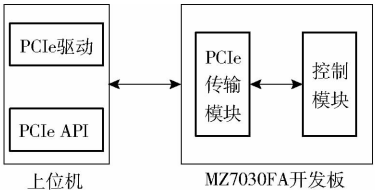


图 4 PCIe 接口与主机间高速数据传输结构

Fig. 4 High-speed data transfer structure between

PCIe interface and host

所示,CPU 通过主板上的 PCIe 接口连接 MZ7030FA 开发板,进行高速数据传输。

CPU 侧的主机基于 Ubuntu 22. 04 操作系统,安装 有和开发板对应的 PCIe 驱动和 API 运行环境,并 通过 VLC 播放视频数据。在 MZ7030FA 开发板 上设计 PCIe 传输模块和控制模块。其中 PCIe 传 输模块基于 XDMA IP 核实现,PCIe 二代的 x2 接 口速率最高 1 GB/s,平均使用速率可达最高速率 的 70% 左右,满足农业监测场景下的数据传输速率 需求。该传输模块一方面接收主机发送的 PCIe 数 据,包括 PCIe 协议的包头和数据净荷部分,通过 控制模块暂存到 DDR;另一方面,按照设定的路 径将数据经 PCIe 传输模块返回给主机,由主机 完成视频播放功能。控制模块提供 PCIe 与 DDR 之间的数据搬运,产生 PCIe 传输模块所需的 启动控制信号,保证系统的稳定运行。

3 主要功能模块设计

3.1 PCIe 驱动模块

3.1.1 Zynq 的 PCIe 接口资源分析

对于 Zynq 上实现 PCIe 接口,Xilinx 公司给出 了 3 种 PCIe 接口实现技术,分别为:

(1)7 系列 IP 硬核,此 PCIe IP 核是最基础的、 最原生的,向开发者呈现了较多的内部结构,比 如数据接收发送引擎,功能相比于以下两种技术 实现要少,并且用户二次开发难度较大、工作 量较复杂^[24]。

(2) AXI Memory Mapped To PCI Express IP 核^[23],该 IP 核是对 7 系列 IP 硬核进一步封装, 用户可以直接在开发软件 VIVADA 里打开 Example Design 生成实例直接运行;但要想实现大 数据量的

DMA 传输还需要添加 DMA IP 核。

(3) DMA/Bridge Subsystem for PCI Express (PCIe) IP 核,简称为 XDMA^[24],该 IP 核对 7 系列集成 PCIe 硬核和 DMA IP 核一起进行了封装, 用户可以直接使用 Example Design 直接运行。

综上所述,XDMA IP 核功能最为丰富,能支持 大数据量的快速传输,进行二次开发最为便捷, 因此本系统采用了 XDMA IP 核。

3.1.2 PCIe 驱动设计

上位机需要安装与硬件板卡相匹配的 PCIe 驱 动才能完成主机与板卡之间的高速通信。本文 基于 Xilinx 官方的 PCIe 驱动,根据硬件平台进 行适应性调整,完成驱动程序开发。表 1 给出 了驱动编译及测试指令。

表 1 驱动编译及测试指令

Tab. 1 Driver compilation and test instructions

指令	解释
git clone https://github.com/Xilinx/dma_ip_drivers	下载驱动
cd dma_ip_drivers/XDMA/linux-kernel/xdma && make	编译驱动
cd ../tests && ./load_driver. sh	安装驱动
cd ../tools && make	编译驱动

在执行编译驱动操作后,准备安装驱动前,需 确保开发板已下载 PCIe 工程的 bit 文件,并且主 机已完成一次重启。而后执行 ./load_driver. sh, 即可安装驱动,并接收返回值,以判断驱动是否 安装成功。

在测试程序操作过程中,PCIe DMA 的工作 模式可以通过修改传输参数来配置。表 2 给出 了运行测试程序的指令,分别实现板卡读、写 文件的功能。其中,参数 -d 指设备(device)编 号,本系统的硬件板卡提供了 2 个通道的 XDMA, 表 2 以通道 0: xdma0_c2h_0 为例。-f 指传输文 件(file),本文采用了名为 test. bin 的视频文件, 以二进制形式存储。-s 指待传输数据量(size), 默认为全部传输。-a 指文件传输的起始偏移 地址(address),-c 指读写次数(count),以上参 数均可手动配置。

表 2 驱动程序的读写测试指令

Tab. 2 Read and write test instructions for driver

指令	功能
./dma_from_device -d /dev/xdma0_c2h_0 -f ./ test. bin -s 4096 -a 0 -c 1	从板卡读文件
./dma_to_device -d /dev/xdma0_h2c_0 -f ./test. bin -s 4096 -a 0 -c 1	写文件到板卡

3.2 PCIe 传输模块

3.2.1 XDMA IP 核总体逻辑架构设计

图 5 展示了 PCIe 模块组件逻辑架构,主要包 括

DMA 数据流的控制和 PCIe 协议的解析。DMA 数据流中包含 2 种数据流向：H2C (host to card) 数据流和 C2H (card to host) 数据流。PCIe 接收模块负责接收 H2C 通道的数据流,并把数据写入到 DDR3 缓存模块;PCIe 发送模块负责从板卡上 DDR3 缓存器内读出视频数据,然后把数据通过 C2H 通道发送到 XDMA IP 核^[24]。

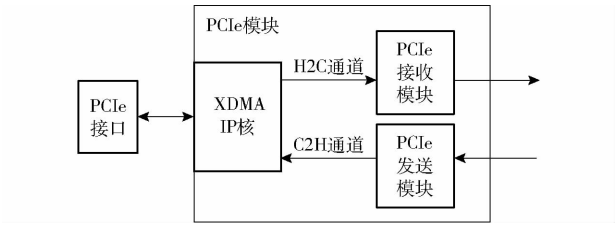


图 5 PCIe 模块组件逻辑架构

图 6 展示了 XDMA IP 核与其他 IP 核连接的逻辑图,XDMA IP 通过仲裁器连接到存储接口生成器 (Memory interface generator, MIG 7),从而读取 PL DDR 的内容并上传至主机,或者将主机下发的数据传输到 DDR 中。

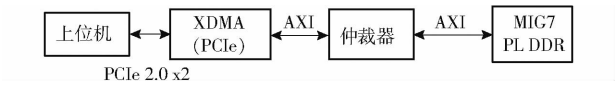


图 6 XDMA IP 核的连接逻辑图

Fig. 6 Connection logic diagram of XDMA IP core

3.3.2 XDMA IP 核参数配置

结合本文使用的硬件平台,为了保证 PCIe 通道数量和位宽达到最大利用率,主要参数设定如下:链路宽度为 2 通道、链路参考时钟为 100 MHz、链路速率 5 Gb/s、用户接口类型选用 AXI Memory Mapped 总线、总线的数据接口宽度为 64 bit,用户接口时钟为 125 MHz,XDMA 的 H2C 和 C2H 通道数量均为 1。

3.3 按需扩展网络端口模块

3.3.1 硬件平台 PS 资源分析

片上系统 (System on chip, SOC) 是一个为实现某个目标专门设计的集成电路^[25],用以实现从确定系统功能开始,到软硬件划分^[26],并完成设计的整个过程。SOC 核心部件是目前被广泛使用的 ARM,本系统使用的 Zynq XC7Z030 - FFG676 - 2I 上集成了 2 个 ARMv7 版本的 Cortex - A9 处理器,主频为 1 GHz,处理能力强。

2 个处理器通过基于 ARM AMBA AXI 的互连与片上处理器、SDRAM 和闪存控制器以及外围模块进行通信。这些硬件模块共同构成了 Zynq 7030 的 PS 部分。在本系统中,主要利用片上 PS 接收以太网数据,通过可配置高性能的 AXI 端口和 1 GB DDR 缓存器提供对 Zynq 芯片的片上存储和直接高速访问。

3.3.2 PS 端扩展以太网网口配置与测试程序设计

本系统的配置要求在 Zynq PS 的 IP 核中启用以太网接口,并根据实际需求配置工作参数。PS CPU 的时钟频率为 666.66 MHz,DDR 频率为 533.33 MHz,存储容量为 1 GB。网口的时序和引脚约束由 PS 自动完成。

测试程序首先对 Zynq 平台进行初始化,然后根据 PS 侧预先配置好的以太网接口初始地址调用 LWIP RAW API^[27]对以太网接口进行初始化,包括分配 IP 地址、设置子网掩码和网关等操作。考虑到农业监测数据传输系统的低功耗要求,本文选用 Zynq 芯片提供的轻量化 IP 协议核 (Light weight IP, LWIP)。

LWIP 的配置对以太网传输速率有重要影响,关键参数在表 3 中列出。根据硬件资源,优化配置缓冲区的数量和大小,以提高 LWIP 接收和发送数据的性能。

表 3 LWIP 可优化配置
Tab. 3 Optimized configurations for LWIP

配置项	数值
LWIP memory options (LWIP 内存选项)	mem_size (堆内存容量)
	104 857 600
	memp_n_pbuf (memp 结构的 pbuf 数量)
pbuf_options (pbuf 选项)	2 048
	pbuf_pool_bufsize (pbuf 池中 pbuf 大小)
	8 192
temac_adapter_options (以太网适配器选项)	pbuf_pool_size (pbuf 池数目)
	8 192
	n_rx_descriptors (接受句柄数目)
	256
	n_tx_descriptors (发送句柄数目)
	256

为了验证应用层网络连通性,本系统在 ARM 上基于 TCP 协议开发了 Echo Sever 响应程序,可以实现数据应答操作。验证过程如下:首先将 Echo Sever 响应程序编译并下载,然后通过 SDK Terminal 来观察网口的状态和运行信息。由状态信息首先获取开发板的网口 IP,之后将主机的 IP 设置为同一网段,如果 2 个 IP 和本网络中的其他设备 IP 冲突,则需要再次更改 IP (开发板的网口 IP 在 SDK 程序中修改),确保网口配置的正确性。

3.3.3 网络测试

在 SDK 的测试程序中使用 LWIP 的 RAW API,从 TCP/IP 协议栈的底层开始逐层往上初始化 PS 侧的以太网接口。首先通过 ping 命令测试网络层的初始化,如果初始化成功,则 ping 命令能收到来自板卡的回应,如图 7 所示。

在上位机侧,使用网络调试助手等网络调试工

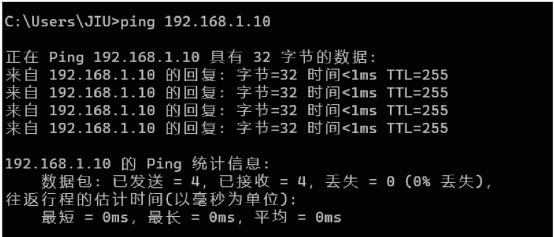


图 7 网络连通性测试

Fig.7 Test of network connectivity

具,与之对应的在板卡 ARM 侧,使用本文编写的 Echo Sever 测试程序,对主机和板卡之间的应用层通信进行测试。参数配置及测试结果如图 8 所示,根据本系统 Echo Sever 的功能,如果主机调试助手能够收到发送给板卡 TCP 端口 1200 处的原数据,说明测试成功。



图 8 数据收发验证

Fig.8 Verification of data sending and receiving

为了实现网口的多路扩展,本系统可以在 PL 侧外接多个异路以太网网卡,利用 FPGA 支持并发操作的特点,同时启动多路数据收发,以支持多路不同速率的网络数据传输。

3.4 DDR3 缓存模块

3.4.1 Zynq 的 DDR3 控制资源分析

为了简化 FPGA 上 DDR3 的控制逻辑,本系统选用 Xilinx 提供的 MIG 7 IP 核控制方案。MIG 7 IP 核的整体框架包括用户接口模块、存储控制模块和物理层模块。其中用户接口模块实现了与用户逻辑进行交互;存储控制模块和物理层模块完成 DDR3 时序控制。本系统的研发过程中主要完成用户接口模块设计,具体可分为指令路径和数据路径的优化配置,均基于握手协议。存储控制模块和物理层模块采用默认配置以简化 DDR3 时序操作。

3.4.2 低延时数据传输架构设计

DDR3 模块对 MIG 7 IP 核设定参数如下:参考时钟频率为 200 MHz,工作频率为 800 MHz,数据总线宽度为 32 位。单通道依靠 C2H_0 和 H2C_0 仅可

支持一路视频数据的传输,一旦有多路视频数据源到来就需要排队等待,可能造成较大的网络延时,因此可以尝试采用多通道传输。同时,对于载荷较大的网络包,如果直接传输必然会造成数据丢失或数据拥塞,因此本文提出了分组传输的解决方案。

图 9 给出了 PCIe 的 DMA 子系统结构,其中 RQ/RC 表示请求者接口,CQ/CC 表示完成者接口。本系统对 DDR3 缓存模块的优化主要包括通道独立和分组传输操作。因 XDMA IP 核最多可以支持 2 个独立通道的传输,本文充分利用 C2H_0&1 和 H2C_0&1 在 DMA 寄存器与 MM (AXI memory map) 之间并行传输两路数据。其中 DMA 寄存器包含在 RQ/RC 接口中。

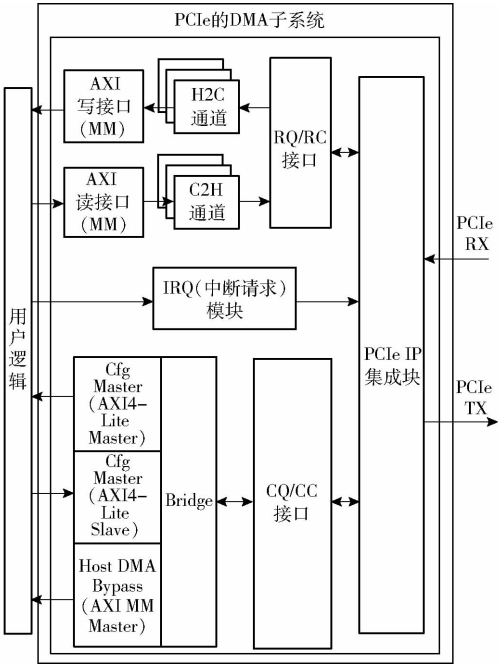


图 9 PCIe 的 DMA 子系统结构

Fig.9 DMA subsystem for PCIe overview

图 9 中 Cfg Master (AXI4 - Lite Master) 接口用于主机访问用户逻辑的配置信息及状态寄存器;Cfg Master (AXI4 - Lite Slave) 接口用于用户逻辑访问 DMA 子系统的内部配置和状态寄存器;本文中的用户逻辑是指 MIG 7 IP 核。Host DMA Bypass (AXI MM Master) 端口的宽度与 DMA 通道数据路径相同,旨在用于 Pair-to-Pair 应用程序 (例如对等传输) 中可能需要的用户存储器高带宽访问。

为了减少因数据包过大导致的网络拥堵和数据丢失概率,分组传输方案被提出。以 FPGA 板卡传输数据到主机为例,数据传输之前,先估计 DDR3 的数据量,若超出主机侧所配置的缓冲区容量,则对数据先进行分组再启动板卡到主机的数据传输流程,否则直接开启数据传输流程。首先写入 C2H 控制寄存器一个触发信号来启动 C2H 传输。一旦接收

到 PCIe 的数据后,C2H 通道生成写请求,该句柄主要包括源地址(板卡)、目的地址(主机)和数据长度。把 C2H 描述符起始地址写入寄存器,DMA 根据 DDR 中的源地址获取数据,并将数据发送到主机目的地址。一旦数据传输完成,H2C 和 C2H 状态寄存器被驱动程序完全清除,禁止 DMA 传输并考虑是否进行下一次数据传输^[28]。

4 系统测试

系统的测试环境为:一台安装了 Ubuntu 22.04 操作系统的主机,主板带有 PCIe 2.0 x2 的插槽,并安装了 Zynq MZ7030FA 开发板。该系统的硬件开发环境选用 Vivado 2019.1,系统总体数据流如图 10 所示。以太网端口接收到的视频数据先缓存到 PS 侧 DDR 中,然后通过 AXI 接口被复制到 PL 侧的 DDR 中。当 PL 侧 DDR 中数据量达到一定门限值时,XDMA 启动数据搬运,将 DDR 数据高速上传到主机中。反向传输时,由主机发起,将数据通过 XDMA 下载到板卡的 PL DDR 中,然后同样借助于 AXI 接口将数据搬移到 PS 侧 DDR 中,再经由以太网接口传输给其他设备。以上提到的 AXI 接口都是成对出现,分别工作于 Master (M_AXI) 和 Slave (S_AXI) 模式,见图 10 中的标记。因为 PS 和 XDMA 都通过 M_AXI 接口连接 MIG 7 的 S_AXI 接口,为了避免访问冲突,本系统引入仲裁器。

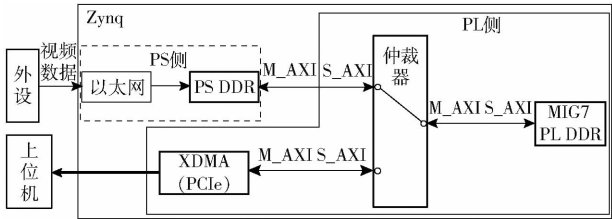


图 10 系统总体数据流描述
Fig. 10 Dataflow of system

基于以上数据流描述,本文进行了网口传输测试、PCIe 传输测试及视频处理功能测试,并评估了各功能模块传输速率对系统整体性能的影响。

4.1 接口传输测试

4.1.1 网口传输测试

网口测试流程是从外部设备经过网络端口传输一个文件到该硬件平台的 PS 侧 DDR 中,通过在外设设备上记录发送文件开始时间 t_s 和结束时间 t_e ,再根据文件大小计算出网口传输速度 R_{net} 。其计算公式为

$$R_{net} = \frac{f_z}{t_e - t_s} \quad (1)$$

式中 f_z ——测试文件大小(文件传输延时主要来自以太网传输耗时)

本文中,测试文件大小为 200 MB,文件传输用时约 2 s,代入式(1)得出网口实测速率为 800 Mb/s,基本达到了千兆以太网的传输速率。

在农业实时监测场景中,以通用的视频编码格式 H.264 为例,在分辨率为 1 080 P、帧率为 60 f/s 的高清应用场景下,传输速率为 2~10 Mb/s^[29]。本文所设计的系统传输速率能够达到 800 Mb/s,远远超过高清视频实时传输的要求。这意味着该系统不仅能够满足单路高清视频的传输需求,而且还具备足够的带宽支持同时传输多路高清视频数据,为农业监测提供了强大的实时数据传输能力。

4.1.2 PCIe 传输测试

为了分析 DMA 通道下的数据传输性能,先启动 DMA 来传输固定量的数据,同时在驱动程序中获得 DMA 读写该数据块的时间,从而可以计算出 DMA 通道下的数据收发速率。

对本文所设计的 PCIe 高速通信接口进行速率测试,结果如图 11 所示。

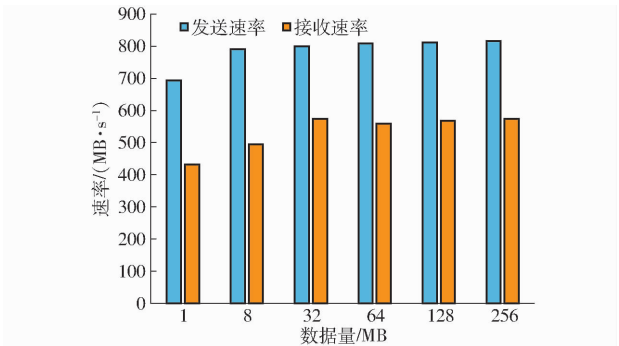


图 11 PCIe 2.0 x2 传输速率实际测试结果
Fig. 11 Result of PCIe 2.0 x2 transfer rate

基本测试流程描述为:保持其他条件不变,根据图 10 描述的数据流,通过改变以太网侧的测试文件大小,在主机硬盘上记录文件接收(发送)开始时间 t_s 和结束时间 t_e ,按照式(1),计算收发双方的传输速率。此阶段文件传输耗时主要包括 PL 侧 DDR 发送(接收)数据耗时以及 PCIe 接收(发送)数据耗时。

PCIe 协议的每一条 Lane 支持的速率 R_{pcie} 计算式为

$$R_{pcie} = Mk/n \quad (2)$$

式中 M ——PCIe 协议每条 Lane 支持的比特速率
 k ——物理层编码前的比特数
 n ——编码后的比特数

本文硬件平台支持 PCIe 2.0 协议,根据协议规范,它支持 5.0 Gb/s,即每一条 Lane 上最大可支持每秒钟内传输 5 Gb,但这并不意味着 PCIe 2.0 协议的每一条 Lane 一定可以达到 5 Gb/s 的速率。因为

PCIe 2.0 的物理层协议中使用的是 8b/10b 的编码方案,即每传输 8 bit 数据,实际需要发送 10 bit;多出来的 2 bit 并不是对上层有意义的信息。根据式(2)可得出,单个 Lane 能够达到的有效信息速率是 $5 \times 8/10 = 4 \text{ Gb/s} = 500 \text{ MB/s}$ 的速率。

本文测试使用 4.1 版本的 PCIe IP 核和 x2 的通信链路,理论上 x2 的可用带宽 $8 \text{ Gb/s} = 1 \text{ GB/s}$,即理论传输最大带宽为 1 GB/s。

但是由于 Zynq 模块在进行通道切换时会消耗一定时间,这段时间并不会传输数据,因此实际测试结果未能达到 1 GB/s。同时,传输过程还包含图 9 中描述的寄存器状态信息的读写^[30],造成实际测试的读写速率小于理论速率。从图 11 可看出,当传输的数据量较小时,实测的传输速率也较低,这是因为此时通道切换和寄存器读写时间占比较大。反之,待传输的数据量增大时,实测传输速率会随之增大。当传输块大小从 1 MB 到 256 MB 变化时,实际测得的 PCIe 发送速率(H2C)为 694 ~ 816 MB/s,接收速率(C2H)为 431 ~ 574 MB/s。

系统在测试时使用的视频文件存储在机械硬盘上,由于机械硬盘总体访问速度慢,且顺序读取速度大于顺序写入速度,因此对测试结果造成一定影响,在数据块大小为 256 MB 时,实际测试的 PCIe 发送速率为 816 MB/s(对应于从主机硬盘中读出数据并经 PCIe 口传输到板卡),高于接收速率 574 MB/s(对应于从板卡经 PCIe 口将数据写入到主机硬盘)。若采用固态硬盘测试,实际可达的速率将大于目前的测试结果。尽管存在以上因素影响传输速率,但系统仍可以满足农业监测应用中数据传输的需要^[31]。同时,为了测试传输质量,本文将板卡网口侧外设的发送文件和经整个系统传输后上位机接收到的文件进行比对,二者内容完全一致,表明数据传输正确。

综上所述,本文所开发的系统在网口侧传输速率达到了 800 Mb/s,基本实现了 Gbit 以太网,在 PCIe 接口侧,最高传输速率达到 816 MB/s,逼近硬件 PCIe 2.0 x2 的最高速率,整个 PCIe 级联网口系统实现了高速传输。就传输质量而言,一方面,本系统在网口侧采用并实现了传输层 TCP 协议,该协议是面向连接的可靠协议,具有重传机制,即使物理层有传输差错也已被重传机制进行了纠正,保证了从外设通过网口到板卡的可靠传输。另一方面,PCIe 口采用点对点的流控机制,为板卡到主机的可靠传

输提供了保障。因此实验过程中在应用层并没有捕获到丢包情况,即在应用层实现了高可靠传输。实验中所测出的传输速率是在确保应用层数据无差错情况下获得的。

4.2 视频播放测试

基于农业监测应用场景,本系统模拟了实时视频数据的采集和传输。由摄像机采集农田小麦收获视频数据,通过网线连接到系统硬件板卡,接收并解析以太网数据后,交给上位机软件播放显示。

以一个 200 MB 的网络视频文件为例,以太网接收用时约 2 s,基本实现了千兆以太网设计;从 PCIe 接口将板卡视频数据传输到主机用时约 0.4 s,即 PCIe 接收速率约为 500 MB/s,与图 11 实际测试结果吻合。农业监测视频传输完成后的播放效果截图如图 12 所示,视频播放流畅,画面质量优,测试过程中未出现视频流花屏现象,表明所设计的传输系统具有较高可靠性和稳定性。



图 12 监测视频经过系统传输后的播放效果图

Fig. 12 Playback effect for monitoring video through system transmission

5 结束语

设计了基于 Zynq 架构的 PCIe 级联网络端口的农业监测数据高速传输系统,并在 Zynq 平台实现验证。利用 FPGA 和 ARM 的可编程特性,分别在 PL 侧和 PS 侧完成了 PCIe 接口和网口的传输协议开发,并基于 DDR3 缓存模块,实现了 PS 侧和 PL 侧的数据快速转发,最终实现了完整的监测视频数据高速处理和快速传输。实测网口速率达 800 Mb/s,PCIe 接口发送和接收速率分别约为 800 MB/s 和 550 MB/s。该方案具有较高的可扩展性和灵活性,基于 PCIe 的高速传输特性、网口数量的动态可扩展特点,本系统能够支持多路网络监测数据的实时采集与传输,为基于 FPGA 平台的农业监测高通量数据采集处理与高速传输应用提供参考。

参 考 文 献

[1] 廖娟,陶婉琰,臧英,等. 农作物病虫害遥感监测关键技术研究进展与展望[J]. 农业机械学报, 2023, 54(11): 1-19.

LIAO Juan, TAO Wanyan, ZANG Ying, et al. Research progress and prospect of key technologies in crop disease and insect pest monitoring[J]. Transactions of the Chinese Society for Agricultural Machinery, 2023, 54(11): 1 – 19. (in Chinese)

[2] 唐子竣, 张威, 向友珍, 等. 基于高光谱和机器学习模型的冬小麦土壤含水率监测研究[J]. 农业机械学报, 2023, 54(12): 350 – 358.

TANG Zijun, ZHANG Wei, XIANG Youzhen, et al. Monitoring of soil moisture content of winter wheat based on hyperspectral and machine learning models[J]. Transactions of the Chinese Society for Agricultural Machinery, 2023, 54(12): 350 – 358. (in Chinese)

[3] HUANG C H, CHEN B W, LIN Y J, et al. Smart crop growth monitoring based on system adaptivity and edge AI[J]. IEEE Access, 2022, 10: 64114 – 64125.

[4] CHAN C W H, LEONG P H W, SO H K H. Vision guided crop detection in field robots using FPGA-based reconfigurable computers[C]//2020 IEEE International Symposium on Circuits and Systems (ISCAS), 2020: 1 – 5.

[5] SADDIK A, LATIF R, EL QUARDI A. Low-power FPGA architecture based monitoring applications in precision agriculture [J]. Journal of Low Power Electronics and Applications, 2021, 11(4): 39.

[6] HUANG C H. An FPGA-based hardware/software design using binarized neural networks for a gricultural applications: a case study[J]. IEEE Access, 2021, 9: 26523 – 26531.

[7] TAMBURELLO M, CARUSO G, GIORDANO S, et al. Edge – AI platform for realtime wildlife repelling[C]//2022 IEEE 21st Mediterranean Electrotechnical Conference (MELECON), 2022: 80 – 84.

[8] 牛鑫. 基于 FPGA 的播种机自主导航控制系统设计[J]. 农机化研究, 2022, 44(6): 98 – 101, 106.

NIU Xin. Design of autonomous navigation control system of seeder based on FPGA[J]. Journal of Agricultural Mechanization Research, 2022, 44(6): 98 – 101, 106. (in Chinese)

[9] 谭日城, 吕乐, 陈奥, 等. 基于 FPGA 与 OpenMV 的粮仓虫害监测系统[J]. 现代制造技术与装备, 2023, 59(2): 147 – 150.

TAN Zhencheng, LÜ Le, CHEN Ao, et al. Rice pest identification system based on FPGA and OpenMV [J]. Modern Manufacturing Technology and Equipment, 2023, 59(2): 147 – 150. (in Chinese)

[10] OUKAIRA A, BENELHAOUARE A Z, KENGNE E, et al. FPGA – embedded smart monitoring system for irrigation decisions based on soil moisture and temperature sensors[J]. Agronomy, 2021, 11: 1881.

[11] 杨伟男, 陈永生, 吴爱兵, 等. 基于 FPGA 的有机肥撒施机控制系统研究[J]. 中国农机化学报, 2020, 41(4): 158 – 162.

YANG Weinan, CHEN Yongsheng, WU Aibing, et al. Research on control system of organic fertilizer spreadig machine based on FPGA[J]. Journal of Chinese Agricultural Mechanization, 2020, 41(4): 158 – 162. (in Chinese)

[12] 孙翔, 裴晓芳, 周望, 等. 基于标尺图像识别的作物株高测量[J]. 电子科技, 2022, 35(7): 32 – 39.

SUN Xiang, PEI Xiaofang, ZHOU Wang, et al. Crop height measurement based on ruler image recognition[J]. Electronic Sci. & Tech., 2022, 35(7): 32 – 39. (in Chinese)

[13] 王之光, 高清运. 基于 FPGA 的 PCIe 总线接口的 DMA 控制器的设计[J]. 电子技术应用, 2018, 44(1): 9 – 12.

WANG Zhiguang, GAO Qingyun. Design of DMA controller of PCIe bus interface based on FPGA [J]. Application of Electronic Technique, 2018, 44(1): 9 – 12. (in Chinese)

[14] TESSIL T, BHARATH. Uenkatasubramanian, DINESH S, et al. Left-shifter: a pre-silicon framework for usage model based performance verification of the PCIe interface in server processor system on chips[C]//2022 IEEE International Symposium on Performance Analysis of Systems and Software (ISPASS), 2022: 90 – 98.

[15] 杨亚涛, 张松涛, 李子臣, 等. 基于 Zynq 平台 PCIE 高速数据接口的设计与实现[J]. 电子科技大学学报(自然科学版), 2017, 46(3): 522 – 528.

YANG Yatao, ZHANG Songtao, LI Zichen, et al. Design and implementation for high speed data transfer interface of PCI express based on Zynq platform[J]. Journal of University of Electronic Science and Technology of China (Natural Science Edition), 2017, 46(3): 522 – 528. (in Chinese)

[16] 古月, 姜威, 刘跃泽, 等. 基于 ZYNQ 的千兆以太网数据记录器设计[J]. 测控技术, 2022, 41(5): 94 – 99.

GU Yue, JIANG Wei, LIU Yueze, et al. Gigabit ethernet data acquisition system based on ZYNQ [J]. Measurement & Control Technology, 2022, 41(5): 94 – 99. (in Chinese)

[17] 杨振雷, 刘承敏, 青先国, 等. 基于 Zynq – 7000 的千兆以太网传输系统设计与实现[J]. 核技术, 2021, 44(2): 37 – 44.

YANG Zhenlei, LIU Chengmin, QING Xianguo, et al. Design and implementation of gigabit ethernet transmission system based on Zynq – 7000 [J]. Nuclear Techniques, 2021, 44(2): 37 – 44. (in Chinese)

[18] TAN G, SHUI C, WANG Y, et al. Optimizing the LINPACK algorithm for large-scale PCIe – Based CPU – GPU heterogeneous systems[J]. IEEE Transactions on Parallel and Distributed Systems, 2021, 32(9): 2367 – 2380.

[19] LIU T, JIANG H, LI H, et al. Efficient PCIe transmission for multi-channel video using dynamic splicing and conditional prefetching[J]. Multimedia Tools and Applications, 2017, 76(23): 25057 – 25078.

[20] 杨富华, 黄明, 张家赫, 等. 基于 ASIC + ZYNQ 架构的多通道读出电子学逻辑设计[J]. 工业技术创新, 2022, 9(1): 76 – 81.

YANG Fuhua, HUANG Ming, ZHANG Jiahe, et al. ASIC + ZYNQ architecture based multi-channel readout electronics logic design[J]. Industrial Technology Innovation, 2022, 9(1): 76 – 81. (in Chinese)

[21] MATSUDA T, NISHIYAMA K, MASUMOTO K, et al. Ultra-low latency short packet transmission experiments with optical bus system based on PCIe[C]//2022 Optical Fiber Communications Conference and Exhibition (OFC), 2022: 1 – 3.

[22] 许先富, 莫琳, 张学军, 等. 基于 ZYNQ 的激光通信图像高速传输系统设计与实现[J]. 激光杂志, 2022, 43(11): 15 – 19.

XU Xianfu, MO Lin, ZHANG Xuejun, et al. Design and implementation of laser communication image high speed transmission

system based on ZYNQ[J]. Laser Journal, 2022, 43(11): 15 – 19. (in Chinese)

[23] KARIM N I A, WAHAB A A A, NAZLI A S S, et al. PCIe IP validation process across process corner, voltage and temperature conditions[J]. Journal of Physics: Conference Series, 2021, 1969(1): 2 – 5.

[24] CHENG Yaosong, BI Yujiang, CHENG Yaodong, et al. Porting the EOS from X86 (Intel) to aarch64 (ARM) architecture [C]//EPJ Web of Conferences, 2021: 1 – 3.

[25] RAVEENDRAN A P, ALZUBI J A, SEKARAN R, et al. A high performance scalable fuzzy based modified asymmetric heterogeneous multiprocessor system on chip (AHt – MPSOC) reconfigurable architecture[J]. Journal of Intelligent & Fuzzy Systems, 2022, 42(2): 647 – 658.

[26] LEE B, LEE I G, KIM M. FIT: design and implementation of fast ID tracking system on chip for vehicular Ad-hoc networks [J]. Wireless Personal Communications, 2022, 124: 1645 – 1659.

[27] HUI Q, QI L. Implementation of LwIP TCP/IP protocol stack based on S1C33E07[C]//Software Engineering and Knowledge Engineering: Theory and Practice: Volume 1. Springer Berlin Heidelberg, 2012: 635 – 642.

[28] PARK C. H, KWON W O, OH M H, et al. PCIe bridge hardware for Gen – Z memory system[C]//2021 International Conference on Electronics, Information, and Communication (ICEIC), 2021: 1 – 3.

[29] ZENG J, AU O C, DAI W, et al. A tutorial on image/video coding standards[C]//2013 Asia Pacific Signal and Information Processing Association Annual Summit and Conference. IEEE, 2013: 1 – 7.

[30] 张彪, 宋红军, 刘霖, 等. 基于 PCIe 接口的高速数据传输系统设计[J]. 电子测量技术, 2015, 38(10): 113 – 117. ZHANG Biao, SONG Hongjun, LIU Lin, et al. Design of high-speed data transmission system based on PCIe interface[J]. Electronic Measurement Technology, 2015, 38(10): 113 – 117. (in Chinese)

[31] ZHANG Z, LI Z. ARM and FPGA heterogeneous accelerated processing system based on HLS and PCIe[C]//2021 4th International Conference on Information and Computer Technologies (ICICT), 2021: 300 – 304.

(上接第 192 页)

[20] LIU Qichao, XIAO Liang, YANG Jingxiang, et al. CNN-Enhanced graph convolutional network with pixel- and superpixel-level feature fusion for hyperspectral image classification[J]. IEEE Transactions on Geoscience and Remote Sensing, 2020, 99: 1 – 15.

[21] 杨培琦, 王明军. 基于自动阈值属性形态剖面光谱空间联合特征编码的高光谱图像分类[J]. 激光与光电子学进展, 2023, 60(12): 1210016. YANG Peiqi, WANG Mingjun. Hyperspectral image classification based on automatic threshold attribute profiles and spatial-spectral encoding union features[J]. Laser & Optoelectronics Progress, 2023, 60(12): 1210016. (in Chinese)

[22] 张佳宝, 谢福鼎, 金翠. 基于超像素图卷积网络的高光谱图像分类[J]. 测绘通报, 2023(1): 84 – 87. ZHANG Jiabao, XIE Fuding, JIN Cui. Hyperspectral image classification based on superpixel graph convolution network[J]. Bulletin of Surveying and Mapping, 2023(1): 84 – 87. (in Chinese)

[23] 孔毅, 纪定哲, 程玉虎, 等. 基于光谱注意力图卷积网络的高光谱图像分类[J]. 电子与信息学报, 2023, 45(4): 1426 – 1434. KONG Yi, JI Dingzhe, CHENG Yuhu, et al. Hyperspectral image classification based on spectral attention graph convolutional network[J]. Journal of Electronics & Information Technology, 2023, 45(4): 1426 – 1434. (in Chinese)

[24] 毛锦程, 吕书强, 侯妙乐, 等. 基于分块 PCA 与端元提取的壁画线条增强研究[J]. 图学学报, 2022, 43(3): 425 – 433. MAO Jincheng, LÜ Shuqiang, HOU Miaole, et al. Research on mural line enhancement based on block PCA and endmember extraction[J]. Journal of Graphics, 2022, 43(3): 425 – 433. (in Chinese)

[25] 赵渊, 彭济根, 高义. 基于 SLIC 超像素分割的图分割算法[J]. 工程数学学报, 2016, 33(5): 441 – 449. ZHAO Yuan, PENG Jigen, GAO Yi. A graph partitioning algorithm based on SLIC superpixels[J]. Chinese Journal of Engineering Mathematics, 2016, 33(5): 441 – 449. (in Chinese)

[26] 常建涛, 乔子萱, 孔宪光, 等. 多维非线性特征重构与融合的复杂产品工期预测方法[J]. 机械工程学报, 2023, 59(6): 294 – 308. CHANG Jiantao, QIAO Zixuan, KONG Xianguang, et al. Novel product duration prediction method of complicated product based on multi-dimensional nonlinear feature reconstruction and fusion[J]. Journal of Mechanical Engineering, 2023, 59(6): 294 – 308. (in Chinese)

[27] 赵桂林, 朱启兵, 黄敏. 基于高光谱图像技术的苹果粉质化 LLE – SVM 分类[J]. 光谱学与光谱分析, 2010, 30(10): 2739 – 2743. ZHAO Guilin, ZHU Qibing, HUANG Min. LLE – SVM classification of apple mealiness based on hyperspectral scattering image[J]. Spectroscopy and Spectral Analysis, 2010, 30(10): 2739 – 2743. (in Chinese)

[28] HU Wei, HUANG Yangyu, WEI Li, et al. Deep convolutional neural networks for hyperspectral image classification[J]. Journal of Sensors, 2015, 2015: 1 – 12.

[29] KIPF T, WELLMING M. Semi-supervised classification with graph convolutional networks[J]. arXiv Preprint, arXiv:1609.02907, 2016.

[30] VELICKOVIC P. Graph attention networks[J]. Stat, 2018, 1050(20): 10 – 48550.